

WEST



Generate Collection

Print

L1: Entry 1 of 1

File: JPAB

Jan 14, 1994

PUB-NO: JP406005862A

DOCUMENT-IDENTIFIER: JP 06005862 A

TITLE: PRODUCTION OF THIN FILM TRANSISTOR

PUBN-DATE: January 14, 1994

INVENTOR-INFORMATION:

NAME

YAMAUCHI, SHINGO

COUNTRY

ASSIGNEE-INFORMATION:

NAME

CASIO COMPUT CO LTD

COUNTRY

APPL-NO: JP04185664

APPL-DATE: June 22, 1992

US-CL-CURRENT: 257/66

INT-CL (IPC): H01L 29/784

ABSTRACT:

PURPOSE: To form a thin channel area with excellent controllability and uniformity by single semiconductor layer.

CONSTITUTION: Oxygen ions are implanted by ion implantation in a prescribed thickness part at the bottom plane in the channel forming area 2a of a polysilicon layer 2 and the oxygen ion implanted part is changed to be an oxide film 5 by annealing. Then, only the top plane part in the channel forming area 2a is left as a polysilicon part, which forms a thin channel area 6. Since the semiconductor layer uses only the single polysilicon layer 2, the problems due to the usage of a plurality of semiconductor layers are settled. Since the oxygen ions are accurately implanted at the prescribed part by ion implantation, the channel area 6 is thinly formed with excellent controllability and uniformity.

COPYRIGHT: (C)1994, JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-5862

(43)公開日 平成6年(1994)1月14日

(51)IntCl⁵

識別記号

庁内整理番号

FI

技術表示箇所

H01L 29/784

9056-4M

H01L 29/78

311 H

審査請求 未請求 請求項の数1(全4頁)

(21)出願番号

特願平4-185664

(22)出願日

平成4年(1992)6月22日

(71)出願人 000001443

カシオ計算機株式会社

東京都新宿区西新宿2丁目6番1号

(72)発明者 山内 慎吾

東京都八王子市石川町2951番地の5 カシ

オ計算機株式会社八王子研究所内

(74)代理人 弁理士 杉村 次郎

(54)【発明の名称】 薄膜トランジスタの製造方法

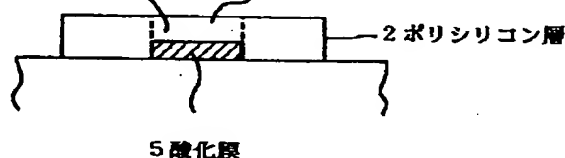
(57)【要約】

【目的】 単一の半導体層だけで制御性および均一性よくチャンネル領域を薄く形成する。

【構成】 ポリシリコン層2のチャンネル形成領域2aのうち下面側所定の厚さ部分に酸素イオンをイオン注入で注入し、その後アニールを行って酸素イオン注入部分を酸化膜5に変換する。すると、チャンネル形成領域2aの上面側部分のみがポリシリコン部分として残り、この部分で薄いチャンネル領域6が形成される。この方法によれば、半導体層は単一のポリシリコン層2しか使用しないので、複数の半導体層を使用した場合の問題点を一掃できる。また、イオン注入で酸素イオンを所定の部分に正確に注入できるので、制御性および均一性よくチャンネル領域6を薄く形成できる。

2aチャンネル形成領域

6チャンネル領域



1

【特許請求の範囲】

【請求項1】 半導体層のチャンネル形成領域の膜厚方向の所定部分に酸素イオンを注入し、その後アニール処理して前記酸素イオン注入部分を酸化膜に変換することにより、前記チャンネル形成領域のうち前記酸化膜を除く部分でチャンネル領域を形成するようにしたことを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】 薄膜トランジスタにおいては、電界強度を大きくして移動度を向上させる一手法として、チャンネル領域をソース・ドレイン領域よりも薄く形成することが行われている。その場合、従来の製造方法としては、まず基板上に所定の厚さに第1の半導体層を形成した後、この第1の半導体層の中央部のチャンネル形成領域に相当する部分をすべてエッチングで除去し、その後、このエッチング除去部とその両側の残存第1の半導体層の表面に薄い第2の半導体層を形成し、さらに第1の半導体層と第2の半導体層の界面を良好な状態にするためのアニールを行うようにしている。このような方法によれば、チャンネル領域は第2の半導体層のみで薄く形成され、その両側のソース・ドレイン領域は第1と第2の半導体層で厚く形成される。

【0003】

【発明が解決しようとする課題】 しかるに、上記のような従来の製造方法では、第1の半導体層のエッチング除去部と残存第1の半導体層上に2の半導体層を形成する際にステップカバレッジの問題があり、さらに第1の半導体層と第2の半導体層が連続成長でないため、半導体層の膜質の均一性に問題があった。さらに、アニールを行っても第1の半導体層のエッチング面においては第1の半導体層と第2の半導体層の界面が必ずしも良好な状態にならないという問題があった。そして、これらの問題点から局在準位が発生する確率が増えるので、上記従来の方法はトランジスタの特性低下に影響を及ぼしかねないという問題点があった。さらに、上記従来の方法は、同一基板上の複数の個所で同時にチャンネル領域を薄く形成する場合に均一性があまり良くないという問題点もあった。

【0004】 この発明の目的は、単一の半導体層だけで制御性および均一性良くチャンネル領域を薄く形成することができる薄膜トランジスタの製造方法を提供することにある。

【0005】

【課題を解決するための手段】 この発明は、半導体層のチャンネル形成領域の膜厚方向の所定部分に酸素イオンを注入し、その後アニール処理して前記酸素イオン注入

2

部分を酸化膜に変換することにより、前記チャンネル形成領域のうち前記酸化膜を除く部分でチャンネル領域を形成するようにしたものである。

【0006】

【作用】 この発明によれば、酸素イオンの注入とアニールによる酸化膜への変換を利用して、単一の半導体層だけでチャンネル領域を薄く形成することができる。そして、単一の半導体層しか使用しないので、複数の半導体層を使用した場合の問題点、すなわち、半導体層のステップカバレッジの問題、半導体層の膜質の均一性の問題、半導体層の界面の問題を一掃できる。また、酸素イオンをイオン注入でチャンネル形成領域中の所定部分に正確に注入して所望の部分に正確に酸化膜に変換できるので、薄いチャンネル領域を制御性および均一性よく形成することができる。

【0007】

【実施例】 図1ないし図6はこの発明の一実施例を製造工程順に示す断面図である。これらの図を参照して以下この発明の一実施例を詳細に説明する。図1に示す基板1は、シリコン基板を使用してその表面を熱酸化により酸化膜（絶縁層）に変換したものである。まずその基板1上にポリシリコン層2をパターン形成する。次に、ポリシリコン層2上に図2に示すようにフォトレジスト3を塗布する。そして、このフォトレジスト3に対して露光・現像処理を行うことにより、図3に示すようにポリシリコン層2の中央部のチャンネル形成領域2a以外の表面にフォトレジストパターン3aを形成する。次に、フォトレジストパターン3aをマスクとしてポリシリコン層2のチャンネル形成領域2aに酸素イオン

($^{16}\text{O}^+$) 4をイオン注入する。このとき、加速エネルギーを制御して酸素イオン4がポリシリコン層2のチャンネル形成領域2aのうち下面側所定の厚さ部分に注入されるようにする。その後、図4に示すようにフォトレジストパターン3aを除去した上で、窒素雰囲気中で熱によるアニール処理を施し、酸素イオン4を活性化させる。すると、ポリシリコン層2のチャンネル形成領域2aのうち酸素イオン4が注入された下面側の所定の厚さ部分は酸素イオン4により酸化されて、図5に示すように酸化膜5に変換される。その結果、チャンネル形成領域2aは上面側の部分のみがポリシリコン層2で形成されることになり、この上面側の部分で両側のポリシリコン層2より薄いチャンネル領域6が形成される。

【0008】 しかる後は、図6に示すように、ポリシリコン層2の表面および基板1の表面にゲート絶縁膜7を形成する。さらに、そのゲート絶縁膜7上に、チャンネル領域6に対応してゲート電極8を形成する。そして、そのゲート電極8をマスクとして不純物のイオン注入を行うことにより、チャンネル領域6の両側のポリシリコン層2にソース・ドレイン領域9を形成する。さらに、ゲート電極8を覆って全表面にパッシベーション膜10

3

を形成する。そのバッシベーション膜10とゲート絶縁膜7にコンタクトホール11を開ける。そして、そのコンタクトホール11を通してソース・ドレイン領域9に接続されるソース・ドレイン電極12を形成し、薄膜トランジスタを完成させる。

【0009】以上の一実施例においては、ポリシリコン層2のチャンネル形成領域2aの下面側所定の厚さ部分に酸素イオン4を注入してその部分を酸化膜5に変換することにより、この酸化膜5を除くチャンネル形成領域2aの上面側の部分で薄いチャンネル領域6を形成したから、単一のポリシリコン層2だけで薄いチャンネル領域6を形成することができる。したがって、複数の半導体層を使用した場合の問題点、すなわち半導体層のステップカバレッジの問題、半導体層の膜質の均一性の問題、半導体層の界面の問題は全くなく、ゆえにこの方法がトランジスタの特性低下に影響を及ぼすようなことも全くない。また、酸素イオン4のイオン注入は、加速エネルギーの制御によりチャンネル形成領域2aの所定の厚み部分に対して正確に行えるので、所望の部分

に酸化膜5に変換して制御性良く薄いチャンネル領域6を形成できる。さらに、イオン注入はバラツキが少ないので、基板1上の複数のポリシリコン層2に対して同時に上述のようにして薄いチャンネル領域6を形成する場合に均一性良く形成することができる。さらに、上記一実施例では、薄いチャンネル領域6の下部に酸化膜5が設けられるから、下地膜に窒化膜を使用したときなどに発生するバックゲート効果の低減もしくは消失にも効果が期待できる。

【0010】なお、上記の一実施例は高温プロセスの場合であるが、低温プロセスとすることもできる。低温プロセスの場合は、基板1としてガラス基板を用い、その上に形成する半導体層としてはアモルファスシリコン層を形成する。さらに、酸素イオン注入後のアニールはレーザで行うこととする。また、上記一実施例はトップゲート型の薄膜トランジスタを製造する場合であるが、こ

4

の発明はボトムゲート型の薄膜トランジスタの製造方法にも利用できる。その場合は、半導体層のチャンネル形成領域の上面側所定の厚さ部分に酸素イオンを注入してその部分を酸化膜に変換することにより、半導体層の下面側に薄いチャンネル領域を形成するようにする。

【0011】

【発明の効果】以上説明したように、この発明によれば、酸素イオンの注入とアニールによって半導体層のチャンネル形成領域の膜厚方向の所定部分を選択的に酸化膜に変換し、この酸化膜以外のチャンネル形成領域部分で薄いチャンネル領域を形成したので、単一の半導体層だけで制御性および均一性良くチャンネル領域を薄く形成することができる。そして、単一の半導体層だけで薄いチャンネル領域を形成できれば、複数の半導体層を使用した場合の問題点を一掃でき、トランジスタの特性低下に影響を及ぼすようなこともなくなる。

【図面の簡単な説明】

【図1】この発明の一実施例において、ポリシリコン層形成工程までを示す断面図。

【図2】この発明の一実施例において、図1に続く工程を示す断面図。

【図3】この発明の一実施例において、図2に続く工程を示す断面図。

【図4】この発明の一実施例において、図3に続く工程を示す断面図。

【図5】この発明の一実施例において、図4に続く工程を示す断面図。

【図6】この発明の一実施例において、図5に続く工程を示す断面図。

【符号の説明】

2 ポリシリコン層

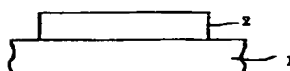
2a チャンネル形成領域

4 酸素イオン

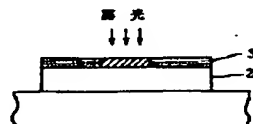
5 酸化膜

6 チャンネル領域

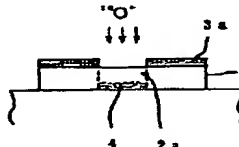
【図1】



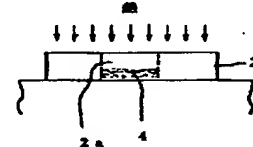
【図2】



【図3】



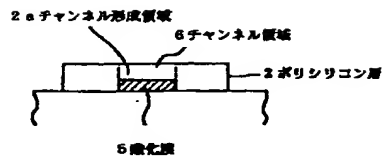
【図4】



(4)

特開平6-5862

【図5】



【図6】

